

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 7 月 7 日 (07.07.2005)

PCT

(10) 国際公開番号  
WO 2005/062183 A1

(51) 国際特許分類: G06F 12/00, G10H 1/00

GAKKI SEISAKUSHO) [JP/JP]; 〒4308665 静岡県浜松市寺島町 2 0 0 番地 Shizuoka (JP).

(21) 国際出願番号: PCT/JP2004/017684

(72) 発明者; および

(22) 国際出願日: 2004 年 11 月 29 日 (29.11.2004)

(75) 発明者/出願人 (米国についてのみ): 平野 哲也 (HIRANO, Tetsuya) [JP/JP]; 〒4308665 静岡県浜松市寺島町 2 0 0 番地 株式会社河合楽器製作所内 Shizuoka (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(74) 代理人: 佐藤 英世 (SATO, Hideyo); 〒1600022 東京都新宿区新宿 1 丁目 5 番 6 号 御苑ビル 7 0 1 号室 佐藤英世特許事務所 Tokyo (JP).

(30) 優先権データ:  
特願 2003-423963

2003 年 12 月 22 日 (22.12.2003) JP

特願 2003-423964

2003 年 12 月 22 日 (22.12.2003) JP

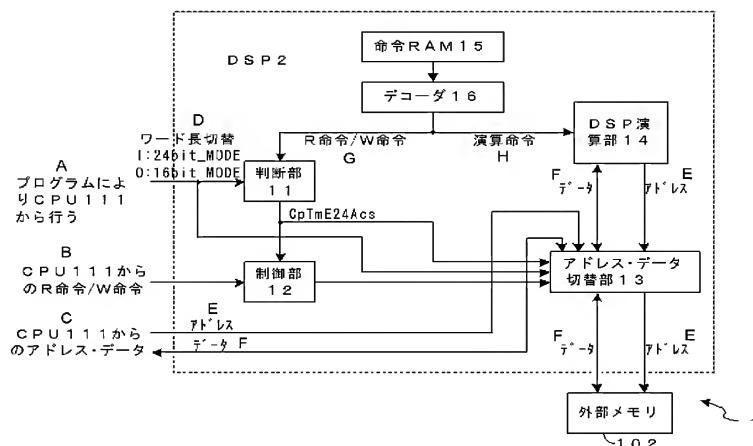
(71) 出願人 (米国を除く全ての指定国について): 株式会社河合楽器製作所 (KABUSHIKI KAISHA KAWAI

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

[続葉有]

(54) Title: DEVICE FOR PROCESSING ACCESS CONCURRENCE TO SHARED MEMORY

(54) 発明の名称: 共有メモリに対するアクセス競合処理装置



A... PROGRAM CAUSES CPU 111 TO EXECUTE  
B... R INSTRUCTION/W INSTRUCTION FROM CPU 111  
C... ADDRESS/DATA FROM CPU 111  
D... WORD LENGTH SWITCHING  
15... INSTRUCTION RAM  
16... DECODER  
E... ADDRESS  
F... DATA

G... R INSTRUCTION/W INSTRUCTION  
H... OPERATION INSTRUCTION  
11... JUDGMENT UNIT  
12... CONTROL UNIT  
14... DSP OPERATION UNIT  
13... ADDRESS/DATA SWITCHING UNIT  
102... EXTERNAL MEMORY

(57) Abstract: [PROBLEMS] To provide a data processing device comprising a data-length-variable DSP which can access data while a CPU accesses an external memory thereof. [MEANS FOR SOLVING PROBLEMS] In the case of 24-bit mode, if the judgment unit (11) judges that an access from the DSP (2) to the external memory (102) is present, a control unit (12) instructs wait of an access from the CPU (111) to the external memory (102). Moreover, in the case of 16-bit mode, by using an empty third bus-cycle, the control unit (12) outputs an instruction to an address data switching unit (13), so that the CPU (111) can access the external memory (102).

[続葉有]



NO, NZ, OM, PG, PH, PL, PT, RO, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 【課題】 データ長可変のDSPにおいて、そのデータアクセスの合間に、CPUがその外部メモリにアクセスできるデータ処理装置を提供する。 【解決手段】 24ビットモードの場合、上記判断部11により、DSP2から外部メモリ102へのアクセスがあると判断されている時は、制御部12からの指令は、CPU111から外部メモリ102へのアクセスにウェイトがかけられ、また16ビットモードの場合、空いている3バスサイクル目を利用して、制御部12からアドレス・データ切替部13に指令が出され、CPU111からの外部メモリ102へのアクセスができるようになる。

## 明 細 書

### 共有メモリに対するアクセス競合処理装置

#### 技術分野

- [0001] 本発明は、処理装置が使用する外部メモリに対し、処理装置を介してのみCPUがこの外部メモリにアクセスでき、又は同一パッケージ内に複数のデータ処理構成を有する処理装置で1の外部メモリにアクセスできるデータ処理装置に関する。

#### 背景技術

- [0002] 近年、音声や楽器音、オーディオ信号をデジタル処理できるDSPを使った信号処理量が増える傾向にある。そのために、信号処理能力の高いDSPを使用するか、複数のDSPを使用するなどして、対応が行われている。
- [0003] 電子楽器等の音源から出力される楽音にエフェクトをかけるために、その信号処理を行うDSPは外部メモリを備えていて、遅延処理用などに使用する。
- [0004] こうしたDSP2cは、図20に示すように、デジタル遅延データ保存用に、外部メモリ102を接続して使用するのが一般的である。同図では、1サンプリング周期(44.1KHz)中に、外部メモリ102にアクセス可能なタイミングが64回ある状態が示されている。

#### 発明の開示

#### 発明が解決しようとする課題

- [0005] 電子楽器内に備えられたCPUは、システムバス上のRAMなどを使用することが普通であるが、場合により、DSP経由で該DSP用の外部メモリにアクセスする機能を持つものがある。
- [0006] そのようなシステムで、CPUのアクセスとDSPのアクセスがぶつかる場合、DSPの演算はプログラムによって演算タイミングが決まっているため、これを優先し、DSPが外部メモリにアクセスするタイミングでは、CPUのアクセスにウェイトを入れる方法がある(後述する特許文献1参照)。CPUのアクセスを後回しにすることで、DSPに外部メモリアクセスのタイミングを無駄なく与えることができようになる。

#### 特許文献1:特許第2850707号

- [0007] また別の方法として、CPUとDSPのアクセスを時分割で行う方法もある。こちらは、

上記方法に比べDSPのアクセスできる回数を若干減らすことになるが、CPUがアクセスできる回数がより多く与えられることになる。

- [0008] ここで、DSPが扱うワードの単位とバスサイクルの関係につき、言及する。DSPでは、システムのバス構成とCPUによって、遅延処理用に用いる上記外部メモリへ、8ビットデータバスでアクセスするものが多い。
- [0009] そしてDSPのデータ処理単位である1ワードは、16ビットと24ビットがあり、これらのビット単位を各1ワードとし、通常は16ビット(16ビットモード)で、精度の高い処理を行う場合は24ビット(24ビットモード)に切り替えて使用するものがある。
- [0010] そのような構成では、3回のアクセスサイクル(バスサイクル)を1まとまりとして、16ビットモードの場合はその中の2回のアクセスサイクルを、24ビットモードの場合は3回のアクセスサイクルを利用する。
- [0011] 他方、CPUのアクセスするデータ長はDSPのデータ長に縛られないため、メモリのデータバス幅をデータ長としてアクセスを繰り返せば良い。この場合8ビットを1ワード(1バイト)としてアクセスすれば良いことになる。
- [0012] 以上のことが前提とされた場合、DSPのアクセスするデータ長が可変の構成においては、上記従来構成のどちらを採用した場合でも不都合が生じてしまう。
- [0013] たとえば、CPUのアクセスにウェイトを入れる方法を採用した場合、24ビットモードには適しているが、16ビットモードでは1データアクセス単位(3バスサイクル)のうちバスサイクルが常に1つあまり、貴重なバスサイクルに無駄が生じる。
- [0014] また、CPUとDSPのアクセスを時分割で行う方法を採用した場合、16ビットモードには適しているが、24ビットモードではCPUの固定タイミングが全くなくなってしまうことになる。
- [0015] 他方、CPUのアクセスとの競合等とは関係なく、こうしたデータ処理装置単体の問題としても、以下のような問題がある。
- [0016] すなわち、外部メモリで遅延させる量がメモリサイズに比べて少量の場合などは、外部メモリをそれぞれに独立して接続するのは容量の無駄が多く、コスト的にも高くなってしまう。また複数のDSPを使用した場合には、通常複数の外部メモリが必要になり、ディスクリート部品が多くなって、回路設計上問題がある。

- [0017] 本発明は、以上のような問題に鑑み創案されたもので、その第1の目的は、データ長可変のDSPにおいて、そのデータアクセスの合間に、CPUがその外部メモリにアクセスできるデータ処理装置を提供せんとするものである。
- [0018] また第2の目的は、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるデータ処理装置を提供することで、上記の第2問題の解決を図ろうとするものである。
- [0019] さらに第3の目的は、このようなデータ処理装置を、特に1つの外部メモリに記憶された楽音波形データに対するエフェクト処理に用いることができる構成を提供せんとするものである。

#### 課題を解決するための手段

- [0020] 本発明の構成は、

装置全体の制御を行うCPUと、予め定められた演算処理を行うDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有するデータ処理装置において、

該DSP自身は、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを基本的特徴としている。

[0021] 上記構成によれば、最大バスサイクル数(例えば3バスサイクル数)でアクセスするようにデータ長が選択されている場合(例えば1ワード=24ビットモードの場合)、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合(例えば1ワード=16ビットモードの場合)は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしているので、空きのバスサイクルがある時には、バスサイクルを固定し(すなわち、16ビットモードなどでその空きバスサイクル時にCPUが外部メモリにアクセスできるように該バスサイクルをCPUアクセス用に固定し)、空きのバスサイクルがない場合は、DSP優先のアクセス方法(すなわち、24ビットモードなどでその空きバスサイクルがない場合、基本的にはDSPのアクセス用に使用し、DSPのアクセスが無い場合にのみ、CPUの外部メモリアクセスができるような構成)に切り替えることができるようになる。

[0022] 請求項2の構成は、音源を有して楽音を発生できる電子楽器などに備えられるデータ処理装置に適用したものであって、より具体的な構成としては、

装置全体の制御を行うCPUと、楽音信号を供給する音源と、予め定められた演算処理を行うことで、音源から供給される楽音信号に任意のエフェクトを付加するDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有するデータ処理装置において、

該DSP自身は、楽音信号の信号処理につき、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判

断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを特徴としている。

[0023] また第2の目的を達成するための構成として、請求項3の発明が提供される。すなわち請求項3の構成は、

1 サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、同一の外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理装置であって、

該データ処理装置は、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴としている。

[0024] 上記構成によれば、同一タイミングに夫々のDSPからリード命令又はライト命令があった場合には、リードライト制御手段がこれらの命令のいずれを有効にするか制御すると共に、同じく同一タイミングに夫々のDSPのリード命令又はライト命令があった場合に、アクセス判定手段がどのDSPにメモリアクセスさせるかを判定する。そして、第1のセクタは、アクセス判定手段からの判定信号に応じて、DSPからのアドレスを外部メモリに対し出力し、また第2のセクタは、同じく上記判定信号に基づいてDS

Pからのデータを外部メモリに対し出力させる。他方アクセス判定手段によりメモリアクセスを行いデータ読み出しを行ったDSPは、該アクセス判定手段からの判定信号を受けて、該DSP内に備えられたデータ取得制御手段により、外部メモリから入力されるデータを取得することになる。このような各手段の作用により、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるデータ処理装置が提供できるようになる。

[0025] さらに請求項5の構成は、

1サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、楽音波形データを記憶する1つの外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理装置であって、

該データ処理装置は、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴としている。

[0026] 複数のチャンネルから楽音波形データが出力される場合、該楽音波形データにエフェクトをかけるDSPは、かけるべきエフェクトの数(異なる種類のエフェクトの場合も含む)によっては、2つ以上用いられることがある。このような、DSPを使用した信号処理の増加に伴うDSPの複数実装化は、1パッケージ化してシステムLSIとする方が、消費電力の削減や処理スピードの向上を図る上で合理的であると考えられる。従って、請求項5の構成は、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの

外部メモリを共用できるデータ処理装置の構成を、楽音波形データにエフェクトをかけるための構成として用いるものを提供している。

- [0027] 尚、請求項3及び5の構成とも、上記リードライト制御手段は、DSPからの命令が複数あった場合、外部メモリにアクセスを行わないように制御されると良い(請求項4及び6)。

### 発明の効果

- [0028] 本発明の請求項1及び請求項2記載のデータ処理装置によれば、DSPのアクセスするデータ長が可変の構成において、DSPのデータアクセスの合間に、CPUがその外部メモリにアクセスできるようになり、そのため、DSPのアクセスを邪魔することなく、CPUにとってもっともアクセス回数が多くなるように動作させることができるようになるという優れた効果を奏し得る。
- [0029] また本発明の請求項3〜請求項6記載のデータ処理装置によれば、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるLSIが提供されることで、外部メモリの容量の無駄をなくすことができ、且つ複数のDSPを用いた信号処理を行う回路の設計がより簡便化できるようになるという優れた効果を奏し得る。
- [0030] 特に請求項5及び6のように、DSPによって楽音波形データに2種以上のエフェクトをかけるため、DSPが2つ以上必要になる場合、外部メモリの容量の無駄をなくすことができ、且つ該構成が用いられる電子楽器などの回路周りが複雑にならずに済み、製造工程を短縮化できるというメリットが得られるようになる。

### 図面の簡単な説明

- [0031] [図1]本発明の実施例1に係るデータ処理装置の構成が用いられた電子鍵盤楽器の回路概略図である。
- [図2]本発明のデータ処理装置に係るDSP2の内部回路の概要説明図である。
- [図3]判断部11の構成の詳細な説明図である。
- [図4]判断部11の構成による信号処理状態を示す説明図である。
- [図5]CPU111から外部メモリ102へのアクセスを制御するステートマシンを示す状態遷移図である。

[図6]DSP演算部14とCPU111との間でアドレスやデータの切り替えが行われる際のアドレス・データ切替部13におけるバスサイクル切替の状態を示す説明図である。

[図7]本実施例1の電子鍵盤楽器のメイン処理を示すフローチャートである。

[図8]図7のステップS102のパネルスキャン処理の手順を示すフローチャートである。

[図9]図8のステップS203及びステップS205のCPU111による外部メモリ102への書込処理又は読出処理の流れを示すフローチャートである。

[図10]本発明の実施例2に係るデータ処理装置の構成が用いられた電子鍵盤楽器の回路概略図である。

[図11]エフェクトLSI21の内部回路の概要説明図である。

[図12]エフェクトLSI21の内部構成のうち、特に上記メモリアクセス制御部3の回路構成を示す説明図である。

[図13]DSP2a及びDSP2bからリード命令又はライト命令が出力された場合に、リードライト制御部22の制御出力状態を示す説明図である。

[図14]DSP2aからリード命令又はライト命令が出力された場合に、アクセス判定部23の制御出力状態とを示す説明図である。

[図15]エフェクトLSI21の内部構成のうち、その同一パッケージ内に収められたDSP2a又はDSP2bの回路構成の概要説明図である。

[図16]エフェクトLSI21が2チップモードに設定されて動作した場合の、1サンプリング周期内の64回のアクセスタイミングにおける各DSP2a及びDSP2bの命令とメモリアクセス制御部3の制御機能の状態を示す説明図である。

[図17]本実施例2の電子鍵盤楽器のメイン処理を示すフローチャートである。

[図18]ステップS402のパネルスキャン処理の手順を示すフローチャートである。

[図19]図12におけるアクセス判定部23の他の構成を示す説明図である。

[図20]デジタル遅延データ保存用に、外部メモリ102を接続して使用する従来のDSP2cの接続状態を示す説明図である。

## 符号の説明

- [0032]     1                      データ処理装置  
             2、2a、2b、2c   DSP

3	メモリアクセス制御部
11	判断部
12	制御部
13	データ切替部
14	DSP演算部
15	命令RAM
16	デコーダ
21	エフェクトLSI
22	リードライト制御部
23	アクセス判定部
24	アドレス出力セクタ
25	データ出力セクタ
26	データ取得制御部
27	データレジスタ
100	音源
101	波形メモリ
102	外部メモリ
110	システムバス
110	バス
111	CPU
112	ROM
113	RAM
114	操作パネル
114a	パネルスキャン回路
115	鍵盤
115a	鍵盤スキャン回路
116	D/A変換回路
117	アンプ

118                      スピーカ

発明を実施するための最良の形態

[0033]    以下、本発明の実施例を、添付図面を参照して説明する。

#### 実施例 1

[0034]    図1は、本発明の実施例1に係るデータ処理装置1の構成が用いられた電子鍵盤楽器の回路概略図である。

[0035]    本電子鍵盤楽器では、後述するように、遅延処理用に用いられる外部メモリ102を使用してDSP2により、音源100から出力される楽音データにエフェクト処理が行われるようになっている。該DSP2では、そのデータ処理単位である1ワードは、16ビット単位の16ビットモードと24ビット単位の24ビットモードとがあり、通常は16ビットモードが用いられるが、後述する操作パネル114のパネル設定により、精度の高い処理を行う場合は24ビットモードに切り替えて使用することが可能である。

[0036]    本実施例構成の場合、3回のバスサイクル(8ビット)を1まとまりとして、16ビットモードの場合はその中の2回のバスサイクルを、24ビットモードの場合は3回のバスサイクルを利用する。

[0037]    他方本電子鍵盤楽器全体を制御する後述のCPU111は、RAM113へのアクセスの他、DSP2を介して、該DSP2の使用する外部メモリ102にアクセスできるようになっている。その場合該CPU111がアクセスするデータ長は、DSP2のデータ長に縛られないため、メモリのデータバス幅(8ビット=1ワード)をデータ長としてアクセスする。

[0038]    本電子鍵盤楽器は、図1に示すように、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、音源100及びエフェクト処理用DSP2が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。

[0039]    CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子鍵盤楽器の全体を制御する。

[0040]    上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。

- [0041] 上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。
- [0042] (a) 音色設定フラグ: 後述する操作パネル114の設定により、音源100から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。
- [0043] (b) エフェクト設定フラグ: 複数種類の選択可能なエフェクトから、音色設定により自動的にその音色に設定されるべきフラグが選択され、その設定データを記憶する。
- [0044] (c) 24ビットモード設定フラグ: 後述する操作パネル114が操作されることにより、DSP2のデータ処理単位である1ワードを24ビットに設定した場合に、その設定データを記憶する(1:24ビットモード、0:16ビットモード)。
- [0045] パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できるパネルスイッチなどがある。その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。
- [0046] また、このエフェクト処理用DSP2の処理を24ビット単位で行う24ビットモード設定用スイッチが操作パネル114上にあり、該モードに設定された場合は、上記24ビットモード設定フラグが立つことになる。その設定がない場合、DSP2の処理は16ビット単位で行われることになる。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。
- [0047] 上記パネルスキャン回路114aは、CPU111からの指令に応答して操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。
- [0048] また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作

パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯／消灯され、またLCDにメッセージが表示される。

- [0049] 上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路115aは、2点スイッチからの押鍵データを受け取ると、それをCPU111に送る。
- [0050] 鍵盤スキャン回路115aからの押鍵データは、CPU111により、RAM113上の音色設定フラグが参照され、夫々のチャンネルに対応する音源100に送られることになる。その際、同じく該CPU111により、エフェクト設定フラグ及び24ビットモード設定フラグも参照され、必要なエフェクト効果のための指令、及び該エフェクト付加処理を行うDSPの処理単位(1ワード)を24ビットで行うか16ビットで行うかの指令(24ビットモード設定か否かの指令)が、DSP2に送られることになる。
- [0051] 音源100は、波形メモリ101を使用し、それに対しメモリアクセスを行う。すなわち、該波形メモリ101に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。
- [0052] DSP2は、図2に示される後述の本発明の一実施例構成を有する他、その内部は、DSP演算部14、命令RAM15及びデコーダ16等の通常の構成を有しており、CPU111からの指令を受けて、音源100から受けた楽音データに、必要なエフェクトを付加し、D/A変換回路116側に出力する。
- [0053] 該CPU111から受け取る指令は、該CPU111によって参照されたエフェクト設定フラグ及び24ビットモードフラグによるものとなる。すなわち、操作パネル114のパネル

スキャン時に、該CPU111により、選択された音色に対応するエフェクトを表しているエフェクト設定フラグが参照され、出力される楽音にどのようなエフェクトがかけられるかを指示する指令が、DSP2に対して用意される。また演奏者のパネルスイッチ操作で設定された24ビットモードフラグも参照され、そのフラグが設定されている場合は、DSP2の1ワードが16ビットから24ビット単位に変更される。

- [0054] 該DSP2では、上述のように、デジタル遅延データ保存用に、外部メモリ102が使用される。その際16ビットモード時には、3バスサイクルのうち、1バスサイクルが空いているため、固定的にCPU111の外部メモリ102へのアクセスができるようになる。他方24ビットモード時には、DSP2が処理を行っている間は、通常3バスサイクルに空きがないため、CPU111の外部メモリ102へのアクセスができない。しかし、DSP2による処理が行われていない間は、3バスサイクルが全て空き、そのうちの1バスサイクルを、CPU111の外部メモリ102へのアクセスに利用できるようにしている。その詳細は後述する。
- [0055] さらに、このDSP2で所望のエフェクトのかけられた波形データは、D/A変換回路116に入力され、デジタルーアナログ変換され、アンプ117で増幅され、スピーカ118から外部に楽音として放出される。
- [0056] 図2は、上述のように、DSP2の内部回路の概要説明図である。該DSP2には、上述したDSP演算部14、命令RAM15及びデコーダ16等の通常の構成の他、バス110を介したCPU111と外部メモリ102の間に、判断部11と、制御部12と、アドレス・データ切替部13とが備えられており、外部メモリ102に対するCPU111のメモリアクセスには、これらの構成が関与して、制御されることになる。
- [0057] 上記判断部11は、DSP2から外部メモリ102へのアクセスの有無を判断する構成である。図3は、該判断部11の構成の詳細な説明図である。同図に示すように、判断部11は、デコーダ16からのDSP2のリード命令(R命令)又はライト命令(W命令)が入力されるOR回路と、そのOR回路の出力とCPU111が24ビットモードフラグを参照して送ってくるワード長切替信号とが入力されるAND回路で構成される。これらの出力はCPUメモリアクセス可能状態を示す信号(CpTmE24Acs:0の時アクセス可、1の時アクセス不可)として出力される。

- [0058] 図4は、24ビットモード(=1)又は16ビットモード(=0)の夫々のモードにおいて、DSP2のデコーダ16から出力されるリード命令(R命令)又はライト命令(W命令)により、同判断部11の回路の出力信号(CpTmE24Acs)がどう変化するかを示す説明図である。
- [0059] 16ビットモード(=0)時には、3バスサイクルのうち、1バスサイクルが空いているため、固定的にCPU111の外部メモリ102へのアクセスができるようになる。すなわち、上記信号(CpTmE24Acs)は、常に0であり、3バスサイクルの中で1バスサイクルは、CPU111は常に外部メモリ102へのアクセスができる状態になっている。
- [0060] 他方24ビットモード(=0)時には、DSP2が処理を行っている(R命令又はW命令がある)間は、通常3バスサイクルに空きがない。そのため、CPU111の外部メモリ102へのアクセスができない。しかし、DSP2による処理が行われていない(図中Nの状態の間)は、3バスサイクルが全て空き、そのうちの1バスサイクルを、CPU111の外部メモリ102へのアクセスに利用できるようになっている。
- [0061] 制御部12は、上記判断部11からの信号の有無(CpTmE24Acs=0 or 1)に応じて、CPU111から外部メモリ102へのアクセスの可否を制御する。すなわち、上記信号の有無(CpTmE24Acs)が1の間は、CPU111からの外部メモリ102アクセスにウェイトをかける構成である。
- [0062] 図5は、CPU111から外部メモリ102へのアクセスを制御するステートマシン(W命令時の例)を示す状態遷移図である。
- [0063] 最初(00)の状態にある制御部12は、何もない外部からの信号の変化がない限り、その状態を維持する(idle)。
- [0064] そして、ライト命令(W命令)がCPU111から出力されると、DSP2の命令受信用レジスタへのライト命令(W命令)の書き込み動作が開始された状態(01)に変化し、書き込み動作の継続中はその状態を維持する(idle)。
- [0065] さらにCPU111からDSP2の命令受信用レジスタへのライト命令(W命令)の書き込み動作が終了すると命令受け付け完了の状態(11)に変化し、その状態を維持することになる(idle)。この間、CPU111からのライト命令(W命令)は、制御部12により、外部メモリ102へのメモリアccessにつき、ウェイトをかけられていることになる。

- [0066] その後判断部11からの信号の有無(CpTmE24Acs)が0で、後述する図6のCPUと書かれたバスサイクルタイミングになった状態(10)になった時に、初めて後述するアドレス・データ切替部13に指令を出し、CPU111ライト命令(W命令)が有効とされる。その結果、該CPU111からの外部メモリ102へのアドレス指定と、指定されたアドレスへのデータの書込が、アドレス・データ切替部13を介してなされる。そのアドレス指定とデータ書込の状態が維持される(idle)。
- [0067] そしてそのバスサイクルの終了タイミングで、すなわちライト命令(W命令)終了タイミングで、最初の状態(00)に復帰する。尚、リード命令(R命令)の時も、これとほぼ同じである。
- [0068] アドレス・データ切替部13は、上記制御部12の指令により、外部メモリ102へのアドレスやデータを、DSP演算部14とCPU111との間で切り替えて、その入出力を行わせる構成である。
- [0069] この構成には、図2に示すように、制御部12からの上記指令の他に、CPU111が24ビットモードフラグを参照することで出力されるワード切替信号、及び判断部11からの信号(CpTmE24Acs)が入力され、DSP演算部14とCPU111との間でアドレスやデータの切り替えが行われる。図6は、その際のアドレス・データ切替部13におけるバスサイクル切替の状態を示している。
- [0070] 本実施例構成では、上述のように、3バスサイクルが最大バスサイクル数であり、3バスサイクルがフルに使用されるようなデータ長が選択がされている場合、即ち、24ビットモードの場合、上記判断部11により、DSP2から外部メモリ102へのアクセスがあると判断されている時は、図6中段に示されるように、24ビットの下位バイトアクセス(L)、中位バイトアクセス(M)及び上位バイトアクセス(H)の3バスサイクルがフルに使用されているため、制御部12からの指令は、CPU111から外部メモリ102へのリード命令(R命令)やライト命令(W命令)にウェイトがかけられることになる。
- [0071] ただし、24ビットモードの場合でも、上記判断部11により、DSP2から外部メモリ102へのアクセスが無い時は、図6の下段に示されるように、3バスサイクルの最後のバスサイクルで、アドレス・データ切替部13は、CPU111から外部メモリ102へのリード命令(R命令)又はライト命令(W命令)が許されることになる。

- [0072] 他方、最大バスサイクル(3バスサイクル)数でアクセスするようにデータ長が選択されていない場合、即ち、16ビットモードの場合は、図6の上段に示されるように、16ビットの下位バイトアクセス(L)及び次の上位バイトアクセス(H)の2バスサイクルしか使用されていないため、空いているバスサイクル(3バスサイクル目)を利用して、制御部12からアドレス・データ切替部13に指令が出され、CPU111からの外部メモリ102へのリード命令(R命令)又はライト命令(W命令)が出力され、CPU111が外部メモリ102にアクセスできることになる。
- [0073] ここでは、3バスサイクル目が常に空きバスサイクルとなるため、固定的にCPU111からの外部メモリ102へのアクセスが可能となる。
- [0074] 図7は、本実施例1の電子鍵盤楽器のメイン処理を示すフローチャートである。このメイン処理ルーチンは電源の投入により起動される。即ち、電源がONにされると、先ず、CPU111、RAM113、各スキャン回路114aや115a、外部メモリ102及びその他のイニシャル処理が行われる(ステップS101)。これらのイニシャル処理では、CPU111やDSP2の内部のハードウェアが初期状態に設定されると共に、RAM113に定義されているレジスタ、カウンタ、フラグ等に初期値が設定される。
- [0075] このイニシャル処理が終了すると、次いで、後述する操作パネル114のパネルスキャン処理が行われる(ステップS102)。
- [0076] そして鍵盤115の鍵盤処理(鍵盤スキャン処理)が行われる(ステップS103)。この鍵盤処理では、電子鍵盤楽器の押鍵に応じた押鍵データが作成され、上記した音源100に出力される。
- [0077] その後この押鍵データに基づき、音源100及びDSP2が使用されて、発音処理(及び離鍵に応じた消音処理)が行われる(ステップS104)。
- [0078] 次いで、その他の処理が行われる(ステップS105)。この処理では、上述した以外の処理、ペダルのON/OFF処理、MIDI処理などが行われる。
- [0079] その後ステップS102に戻り、以下ステップS102〜S105の処理が繰り返される。
- [0080] 図8は、図7のステップS102のパネルスキャン処理の手順を示すフローチャートである。
- [0081] まず、操作パネル114のパネル操作が行われたことが、パネルスキャン回路114a

のパネルスキャンにより感知され、それらの操作に対応するフラグ処理・レジスタへの書き込み処理がなされる(ステップS201)。

[0082] ここでは、上述のように、操作パネル114によって、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できること及び24ビットモードに設定できることなどがある。その際、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。これらは一旦RAM113上のレジスタへ書き込まれる。

[0083] 次に、CPU111により、操作パネル114上のパネルスイッチの設定状態を一時的に記憶させておく設定記憶スイッチのレジスタの状態が参照され、該スイッチがONになっているか否かがチェックされる(ステップS202)。該スイッチがONの状態であれば(ステップS203;Y)、CPU111により、パネルスイッチの設定状態が、RAM113上のレジスタから、DSP2が使用する外部メモリ102上に設定されたレジスタに、移し替えられるようにしている(ステップS203)。すなわち、外部メモリ102をRAM113と同じように扱えるように設定されている。これは、後に行われる鍵盤処理や発音処理時にRAM113の空き容量を増やしておくためである。

[0084] またCPU111により、DSP2が使用する外部メモリ102上に設定されたレジスタに一時的に記憶されておいた従前のパネルスイッチの設定状態を復帰させる設定復帰スイッチのレジスタの状態が参照され、該スイッチがONになっているか否かがチェックされる(ステップS204)。該スイッチがONの状態であれば(ステップS204;Y)、CPU111により、外部メモリ102より、従前のパネルスイッチの設定状態が読み出される(ステップS205)。

[0085] そして、同じくCPU111により、従前のパネルスイッチの設定状態が、RAM113上に設定されたレジスタに書き込まれる(ステップS206)。

[0086] その後その他のスイッチ処理がなされ(ステップS207)、メインルーチンに復帰する。

[0087] 図9は、図8のステップS203及びステップS205のCPU111による外部メモリ102への書込処理又は読出処理の流れを示すフローチャートである。

- [0088] 同図に示すように、最初に、CPU111による外部メモリ102へのデータの読み出しや書込動作の命令が、DSP2で受付可能か否かがチェックされる(ステップS301)。そのような動作がDSP2で受付できない場合とは、上述したように図5のステートマシンが(00)の状態以外にある場合で、DSP2が以前に指示された書き込み又は読み出し命令の実行を終了していない場合である。
- [0089] このチェックで、DSP2でそのような動作の受付ができない場合(ステップS301;N)、ステップS301に戻り、その処理を繰り返す。
- [0090] 他方DSP2で、上記のような動作の受付ができるならば(ステップS301;Y)、CPU111はその動作が書込動作か否かで処理を分岐する(ステップS302)。
- [0091] その動作が書込動作であれば(ステップS302;Y)、CPU111から外部メモリ102へ書き込まれるデータとその指定アドレスがDSP2にセットされる(ステップS303)。そして書き込み命令がDSP2に指示される(ステップS304)。
- [0092] なおこの後DSP2の内部では、図5のステートマシンの動作が起動され、判断部11の指示するタイミングに、制御部12によりアドレス・データ切替部13に指令が出され、外部メモリ102へデータが書き込まれる。
- [0093] 他方上記動作が読込動作であれば(ステップS302;N)、外部メモリ102からCPU111へ読み出されるデータのアドレスがDSP2にセットされる(ステップS305)。そして読み出し命令が指示される(ステップS306)。
- [0094] なおこの後DSP2の内部では、図5に準ずる読込動作のステートマシンの動作が起動され、判断部11の指示するタイミングに、制御部12によりアドレス・データ切替部13に指令が出され、外部メモリ102からDSP2の内部レジスタにデータが読み出される。
- [0095] そしてCPU111は、DSP2がCPU111からの読み出し命令を完了させたか否かをチェックする(CPU111は、DSP2内のステートマシンの状態を確認する、ステップS307)。
- [0096] 外部メモリ102からの読み出し動作が完了していなければ(ステップS307;N)、読み出し動作が完了するまで上記チェックを繰り返す。読み出し動作が完了しているならば(ステップS307;Y)、読み出し完了時にDSP2の内部レジスタに一時記憶され

ているデータを読み出して、読み出し動作を終了する(ステップS308)。

[0097] 上記ステップS304の書込動作又はステップS308の読み出し動作が終了した後は、CPU111により、書き込まれるべき又は読み出しを行うべき次のデータが有るか否かがチェックされる(ステップS309)。

[0098] そのようなデータがあれば(ステップS309;Y)、ステップS301に復帰して、以上の処理を繰り返す。反対にそのようなデータがなければ(ステップS309;N)、図8の上記ステップS204又はステップS206にリターンする。

[0099] 以上詳述した本実施例1の構成では、データ長が最大の3バスサイクル数でDSP2による外部メモリ102へのアクセスがフルに使用される、24ビットモードの場合、上記判断部11により、DSP2から外部メモリ102へのアクセスがあると判断されている時は、3バスサイクルがDSP2によりフルに使用されているため、制御部12からの指令は、CPU111から外部メモリ102へのアクセスにウェイトがかけられることになる。

[0100] ただし、上記判断部11により、DSP2から外部メモリ102へのアクセスが無い時は、3バスサイクルの最後のバスサイクルで、アドレス・データ切替部13は、CPU111から外部メモリ102へのアクセスが許されることになる。

[0101] 一方、データ長が2バスサイクル数でDSP2による外部メモリ102へのアクセスが使用される、16ビットモードの場合、2バスサイクルしか使用されていないため、空いている3バスサイクル目を利用して、制御部12からアドレス・データ切替部13に指令が出され、CPU111からの外部メモリ102へのアクセスができることになる。ここでは、3バスサイクル目が常に空きバスサイクルとなるため、固定的にCPU111からの外部メモリ102へのアクセスが可能となる。

## 実施例 2

[0102] 図10は、本発明の実施例2に係るデータ処理装置1の構成が用いられた電子鍵盤楽器の回路概略図である。

[0103] 本電子鍵盤楽器では、音色設定も複数できるが、それらの音色にかけることのできるエフェクトも2つ同時に設定することができるようになっており、それらは、後述する操作パネルのパネル操作により、1)音色設定で2つのエフェクトが自動的に決まる場合と、2)付加しようとするエフェクトの演奏者による選択で2つのエフェクトが決定され

る場合と、がある。

- [0104] 本電子鍵盤楽器は、図10に示すように、上記実施例1とほぼ同様な構成を有しており、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、音源100及びエフェクトLSI21が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。
- [0105] CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子鍵盤楽器の全体を制御する。
- [0106] 上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。
- [0107] 上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。
- [0108] (a) 音色設定フラグ:後述する操作パネル114の設定により、音源100から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。
- [0109] (b) エフェクト設定フラグ:複数種類の選択可能なエフェクトから、音色設定により自動的にその音色に設定されるべき1又は2の本フラグが選択されるか、又は演奏者による直接の選択によって1又は2の本フラグが設定され、その設定データを記憶する。
- [0110] (c) 2チップモードフラグ:本電子鍵盤楽器は、音源100から発生せしめられた楽音データに対するエフェクト付加に関し、上述のような音色設定により又は演奏者による選択によってエフェクトが決定された場合、上記CPU111によりエフェクト設定フラグの数が確認され、その数が2つの場合、後述するエフェクトLSI21内で使用されるDSPが2つ(DSP2a及びDSP2b)使用されることになるため、2チップモードであるフラグが立つことになる(=1)。この時CPU111は、該2チップモードフラグを参照し、モード切替信号を出力する(0:1チップモード、1:2チップモード)。
- [0111] パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの

付加を設定できるパネルスイッチなどがある。その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。また、上述のように、演奏者の操作パネル114のパネルスイッチなどの直接の操作により、エフェクト設定フラグが変更され、2チップモードフラグが設定されて、エフェクトLSI21が2チップモードに設定される場合もある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。

[0112] 上記音色設定や演奏者の操作パネル114の操作により、上記2チップモードフラグが解除されると、エフェクトLSI21内のDSPは、DSP2a又はDSP2bのいずれか1つが使用される状態となり、エフェクトがかけられない状態で楽音が出力されたり、或いは1つのエフェクトがかけられて出力されたりできるようになる。またその音色設定変更や操作パネル114の操作により、2チップモードフラグが設定されると、2つのエフェクトがかけられて出力されたりできるようになる。

[0113] 上記パネルスキャン回路114aは、CPU111からの指令に応答して操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

[0114] また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯／消灯され、またLCDにメッセージが表示される。

[0115] 上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロ

シティを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路115aは、2点スイッチからの押鍵データを受け取ると、それをCPU111に送る。

[0116] 鍵盤スキャン回路115aからの押鍵データは、CPU111により、RAM113上の音色設定フラグが参照され、夫々のチャンネルに対応する音源100に送られることになる。その際、同じく該CPU111により、エフェクト設定フラグ及び2チップモードフラグも参照され、必要なエフェクト効果のための指令及び必要なDSPチップ数の指令(2チップモード設定か否かの指令)が、エフェクトLSI21に送られることになる。

[0117] 音源100は、波形メモリ101を使用し、それに対しメモリアクセスを行う。すなわち、該波形メモリ101に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。

[0118] エフェクトLSI21は、図10及び図11に示されるように、その内部に2つのDSP2a及び2bが備えられており、CPU111からの指令を受けて、音源100から受けた楽音データに、必要なエフェクトを付加し、D/A変換回路116側に出力する。

[0119] 該CPU111から受け取る指令は、該CPU111によって参照されたエフェクト設定フラグ及び2チップモードフラグによるものとなる。すなわち、操作パネル114のパネルスキャン時には、該CPU111は、エフェクト設定フラグにより、出力される楽音にどのようなエフェクトがかけられるかを調べ、エフェクトLSI21に対する指令を用意する。その際、該エフェクトの付加処理には、エフェクトLSI21内の1つのDSPで済むのか、それとも2つのDSPでの処理が必要かで、2チップモードフラグの設定を行う。さらに実際に発音処理が行われる際には、2チップモードフラグの設定に従って、CPU111からエフェクトLSI21に対し、2つのDSP2a及び2bを使用するのか或いはその一方(例えばDSP2a)のみを使用するのかを指示し、その後、実際のエフェクト処理に必要なエフェクト命令を出す。

[0120] 該エフェクトLSI21では、上述のように、デジタル遅延データ保存用に、外部メモリ

102が使用されるが、2チップモードの際には、2つのDSP2a及び2bが該外部メモリ102を共用することになる。その詳細は後述する。

[0121] さらに、このエフェクトLSI21で所望のエフェクトのかけられた波形データは、D/A変換回路116に入力され、デジタル→アナログ変換され、アンプ117で増幅され、スピーカ118から外部に楽音として放出される。

[0122] 図11は、上述のように、エフェクトLSI21の内部回路の概要説明図である。該エフェクトLSI21には、同一パッケージ内に、DSP2a及び2bが備えられており、これらの外部メモリ102に対するメモリアクセスには、メモリアクセス制御部3が使用され、制御されることになる。

[0123] 本実施例構成では、1サンプリング周期当たり64回のメモリアクセスタイミングを持つDSP2a及びDSP2bが使用されており、2チップモード時に該DSP2a及びDSP2bから出力されたリード命令(R1/R2)やライト命令(W1/W2)は、一旦メモリアクセス制御部3で受けられ、どのDSPチップの命令が有効か否かがそこで判断されて、チップイネーブル信号(EAcID)が、DSP2aとDSP2bに出される。それに基づいて、外部メモリ102に対するアドレス指定(A1又はA2)がなされ、DSP2a又はDSP2bに対するデータの入出力が行われる。

[0124] 図12は、エフェクトLSI21の内部構成のうち、特に上記メモリアクセス制御部3の回路構成(図中波線で示す)を示す説明図である。ここでは、リードライト制御部22と、アクセス判定部23と、アドレス出力セクタ24と、データ出力セクタ25とが備えられている。

[0125] リードライト制御部22は、同一タイミングに夫々のDSP2a又はDSP2bのリード命令(R1/R2)又はライト命令(W1/W2)があった場合、これらの命令のいずれを有効にするかの制御を行う。

[0126] すなわち、図13に示されるように、DSP2a及びDSP2bの双方から、いずれかの命令(W/R)が出力されるか、又は双方からいずれの命令も出さない場合、外部メモリ102へのアクセスは行われない(制御後N:アクセスなし)。他方DSP2a又はDSP2bのどちらか一方から、いずれかの命令(W/R)が出力された場合、外部メモリ102へのアクセスが有効にされる。

- [0127] アクセス判定部23は、同一タイミングに夫々のDSP2a又はDSP2bのリード命令(R1/R2)又はライト命令(W1/W2)があった場合、どのDSPにメモリアクセスさせるかを判定する。
- [0128] 本実施例では、図12に示されるように、DSP2aのリード命令R1及びライト命令W1を入力側にして、出力側からチップイネーブル信号(EAcID)を出力するNOR回路で構成されている。図14に示すように、DSP2a側からいずれの命令も出されていない場合は、チップイネーブル信号(EAcID)が1として出力されて、DSP2bのメモリアクセスが有効にされる。
- [0129] 反対にDSP2a側からいずれかの命令が出されている場合は、チップイネーブル信号(EAcID)が0として出力されて、DSP2aのメモリアクセスが有効にされる。
- [0130] アドレス出力セクタ24は、アクセス判定部23からのチップイネーブル信号(EAcID)に応じて、DSP2a又はDSP2bからのアドレスA1又はA2を出力する。このアドレスは、当然ながら、外部メモリ102に対してのデータの書き込みアドレス指定又は外部メモリ102からのデータの読み出しアドレス指定のためのものである。
- [0131] データ出力セクタ25は、同じく上記チップイネーブル信号(EAcID)に基づいて、DSP2a又はDSP2bからのデータD1又はD2を出力させる。出力されるこのデータは、当然のことながら、外部メモリ102に対して書き込まれるデータであり、DSP2a又はDSP2bでの処理途中におけるデータである。
- [0132] 図15は、エフェクトLSI21の内部構成のうち、その同一パッケージ内に収められたDSP2a又はDSP2bの回路構成の概要説明図である。これらのDSP2a又はDSP2bには、そのデジタル信号処理でのデータを一時的に記憶しておくデータレジスタ27、CPU111から送られてくるインストラクションを記憶しておく命令RAM15、そのインストラクションをデコードするデコーダ16、デコードされたインストラクションに従ってデータレジスタ27に記憶されているデータに対し演算処理(加算・乗算命令など)を行うDSP演算部14などの通常のDSPの構成が備えられている。
- [0133] 本実施例構成では、さらにDSP2a又はDSP2b内に、上記アクセス判定部23からのチップイネーブル信号(EAcID)に応じて、外部メモリ102から読み出されたデータを、上記データレジスタ27に取得させるデータ取得制御部26が備えられている。こ

のデータ取得は、DSP自身からのデータリード命令Rに伴うものであるので、デコーダ16のリード命令が該データ取得制御部26にも入力されている。

[0134] 図16は、以上のような構成を有しているエフェクトLSI21が2チップモードに設定されて動作した場合の、1サンプリング周期(44.1KHz)内の64回のアクセスタイミングにおける各DSP2a及びDSP2bの命令とメモリアクセス制御部3の制御機能の状態を示す説明図である。同図に示すように、夫々のアクセスタイミングにおいて、DSP2a又はDSP2bのどちらか一方から、いずれかの命令(W/R)が出力された場合、外部メモリ102へのアクセスが有効にされ、外部メモリ102に対しデータの書き込み或いは読み出しが行われる。

[0135] 反対にDSP2a及びDSP2bの双方から、いずれかの命令(W/R)が出力されるか、又は双方からいずれの命令も出さない場合、外部メモリ102へのアクセスは行われない(制御後N:アクセスなし)。

[0136] 図17は、本実施例2の電子鍵盤楽器のメイン処理についての処理フローを示しており、基本的には、実施例1の図7に示すフローチャートと同じである。このメイン処理ルーチンは電源の投入により起動される。即ち、電源がONにされると、先ず、CPU111、RAM113、各スキャン回路114aや115a、外部メモリ102及びその他のイニシャル処理が行われる(ステップS401)。これらのイニシャル処理では、CPU111やエフェクトLSI21の内部のハードウェアが初期状態に設定されると共に、RAM113に定義されているレジスタ、カウンタ、フラグ等に初期値が設定される。

[0137] このイニシャル処理が終了すると、次いで、後述する操作パネル114のパネルスキャン処理が行われる(ステップS402)。

[0138] そして鍵盤115の鍵盤処理(鍵盤スキャン処理)が行われる(ステップS403)。この鍵盤処理では、電子鍵盤楽器の押鍵に応じた押鍵データが作成され、上記した音源100に出力される。

[0139] その後この押鍵データに基づき、音源100及びエフェクトLSI21が使用されて、発音処理(及び離鍵に応じた消音処理)が行われる(ステップS404)。

[0140] 次いで、その他の処理が行われる(ステップS405)。この処理では、上述した以外の処理、ペダルのON/OFF処理、MIDI処理などが行われる。

- [0141] その後ステップS402に戻り、以下ステップS402〜S405の処理が繰り返される。
- [0142] 図18は、図17のステップS402のパネルスキャン処理の手順を示すフローチャートである。
- [0143] まず、操作パネル114のパネル操作が行われたことが、パネルスキャン回路114aのパネルスキャンにより感知され、それらの操作に対応するフラグ処理・レジスタ書き込みがなされる(ステップS501)。
- [0144] ここでは、上述のように、操作パネル114によって、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できることなどがある。その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。
- [0145] また、上述のように、演奏者の操作パネル114のパネルスイッチなどの直接の操作により、エフェクト設定フラグが変更され、2チップモードフラグが設定されて、エフェクトLSI21が2チップモードに設定される場合もある。
- [0146] 次に、CPU111により、音色設定フラグが参照され、新しい音色設定フラグがセットされているか否かがチェックされる(ステップS502)。新しい音色の設定がない又は音色設定がない場合(ステップS502;N)、従前の音色設定のままにするかデフォルトで指定される音色(例えばピアノ音色)が設定される(ステップS507)。
- [0147] そしてCPU111により、エフェクト設定フラグが参照され、付加すべきエフェクトが有るか否かがチェックされる(ステップS503)。そのようなエフェクトがなければ(ステップS503;N)、該パネルスキャン処理を終了し、メインルーチンに復帰する。
- [0148] 反対に付加が必要なエフェクトが有れば(ステップS503;Y)、さらにそのエフェクトが2つで有るか否かがチェックされる(ステップS504)。そのようなエフェクトが2つ必要なければ(ステップS504;N)、DSP2aのイネーブル処理が行われ(ステップS508)、メインルーチンに復帰する。
- [0149] 逆にそのようなエフェクトが2つ必要であれば(ステップS504;Y)、DSP2a用及びDSP2b用に外部メモリ102のパーティション処理がなされ(ステップS505)、さらにDSP2a及びDSP2bのイネーブル処理が行われる(ステップS506)。その後、メインル

一チンに復帰する。

[0150] 以上詳述した本実施例2の構成によれば、出力される楽音波形データにエフェクトをかけるDSPが複数実装化によって1パッケージ化され、且つ1つの外部メモリ102を共用できるシステムLSI21の構成とすることにより、消費電力の削減や処理スピードの向上を図ることができるようになるだけでなく、外部メモリ102の容量の無駄をなくすことができ、且つ複数のDSPを用いた信号処理を行う回路の設計がより簡便化できるようになる。

[0151] 図19は、図12におけるアクセス判定部23の他の構成を示す説明図である。同図に示すように、その入力側に、DSP2a及びDSP2bの全リード・ライト命令 (RD1、RD2、W1及びW2) をつないで、同一タイミングに夫々のDSP2a又はDSP2bのリード命令 (R1／R2) 又はライト命令 (W1／W2) があった場合、どのDSPにメモリアクセスさせるかを判定する構成である。

[0152] 同図に示されるように、DSP2aのリード命令R1及びライト命令W1、さらにDSP2bのリード命令R2及びライト命令W2を入力側にして、出力側からチップイネーブル信号 (EA<sub>c</sub>ID) を出力する論理回路構成が用いられている。本構成でも、DSP2a側からいずれの命令も出されていない場合は、チップイネーブル信号 (EA<sub>c</sub>ID) が1として出力されて、DSP2bのメモリアクセスが有効にされる。

[0153] 反対にDSP2a側からいずれかの命令が出されている場合は、チップイネーブル信号 (EA<sub>c</sub>ID) が0として出力されて、DSP2aのメモリアクセスが有効にされる。

[0154] 尚、本発明のデータ処理装置の構成は、上記した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

#### 産業上の利用可能性

[0155] 本発明に係るデータ処理装置の構成は、電子楽器だけではなく、広く一般に、1の外部メモリを、DSPなどのデータ処理装置を介してCPUからアクセスする構成に適用可能であり、また該データ処理装置内の複数のデータ処理構成によって共用する回路構成に用いることができる。

### 請求の範囲

- [1] 装置全体の制御を行うCPUと、予め定められた演算処理を行うDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有するデータ処理装置において、

該DSP自身は、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを特徴とするデータ処理装置。

- [2] 装置全体の制御を行うCPUと、楽音信号を供給する音源と、予め定められた演算処理を行うことで、音源から供給される楽音信号に任意のエフェクトを付加するDSPと、該DSPによりアクセスされ、且つ該DSP経由でCPUからのアクセスが可能な外部メモリとを少なくとも有するデータ処理装置において、

該DSP自身は、楽音信号の信号処理につき、少なくとも2回以上のバスサイクルを1データアクセスの単位とし、1データアクセス単位中に使用するバスサイクル数を選択できると共に、外部メモリにアクセスするデータ長を変更できる構成であり、さらに、

DSPから外部メモリへのアクセスの有無を判断する手段と、

上記判断手段からの信号の有無に応じて、CPUから外部メモリへのアクセスの可否を制御する手段と、

制御手段の指令により外部メモリのアドレスやデータを切り替えて入出力する手段とを該DSP内に備えており、

最大バスサイクル数でアクセスするようにデータ長が選択されている場合、上記判断手段によりDSPから外部メモリへのアクセスがあると判断されている時には、制御手段によりCPUから外部メモリへのアクセスにウェイトをかけ、又最大バスサイクル数でアクセスするようにデータ長が選択されていない場合は、空いているバスサイクルを利用して制御手段によりCPUが外部メモリにアクセスできるようにしたことを特徴とするデータ処理装置。

- [3] 1サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、同一の外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理装置であって、

該データ処理装置は、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴とするデータ処理装置。

- [4] 上記リードライト制御手段は、DSPからの命令が複数あった場合、外部メモリにアクセスを行わないことを特徴とする請求項3記載のデータ処理装置。

- [5] 1サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、楽音波形データを記憶する1つの外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理装置であって、

該データ処理装置は、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

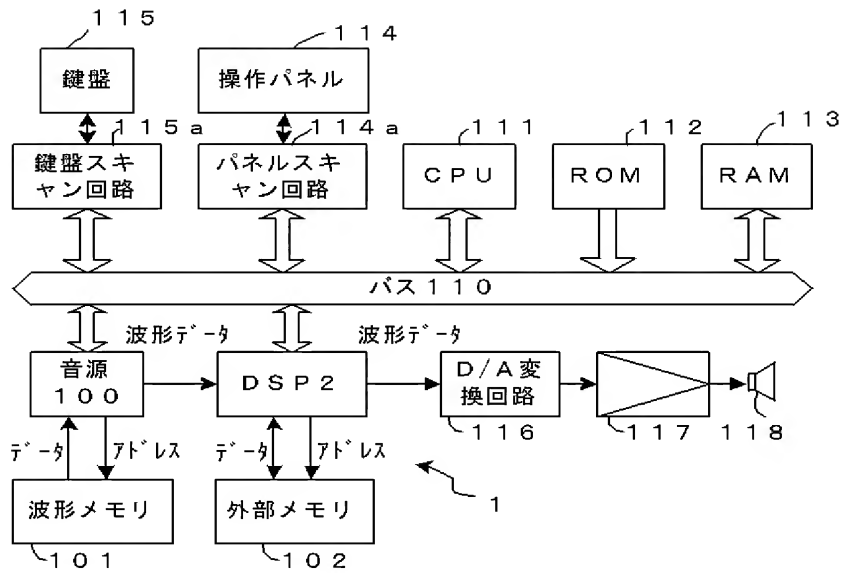
アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

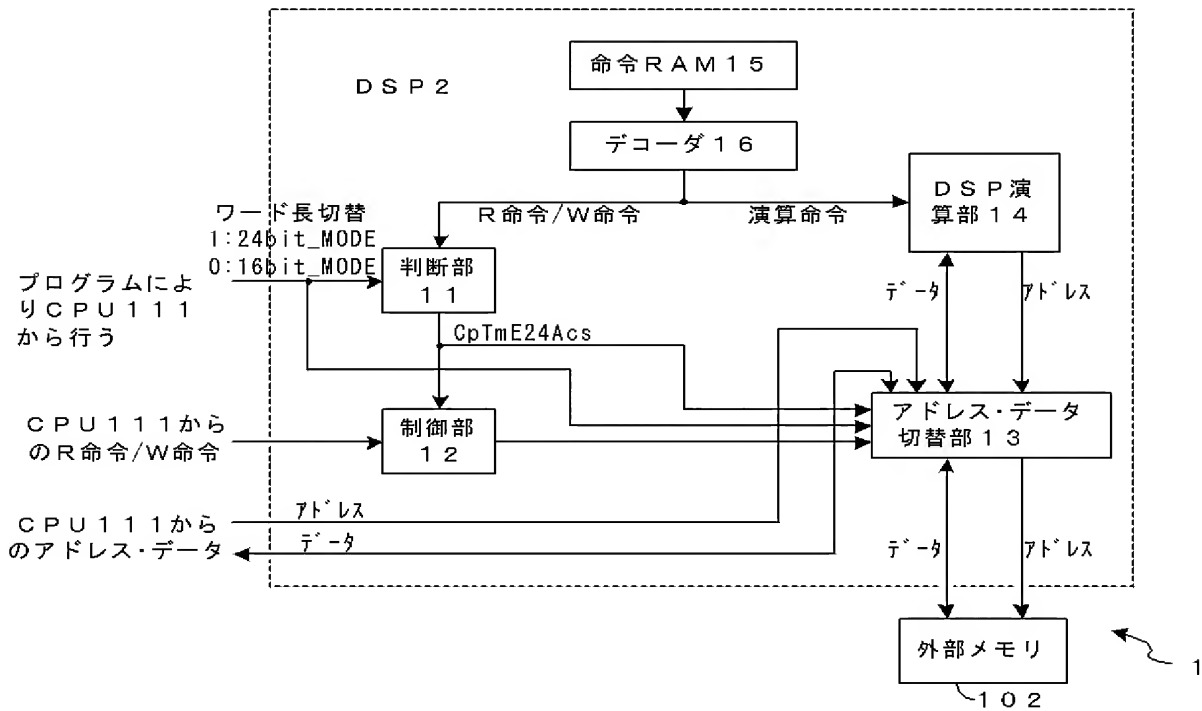
上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴とするデータ処理装置。

- [6] 上記リードライト制御手段は、DSPからの命令が複数あった場合、外部メモリにアクセスを行わないことを特徴とする請求項5記載のデータ処理装置。

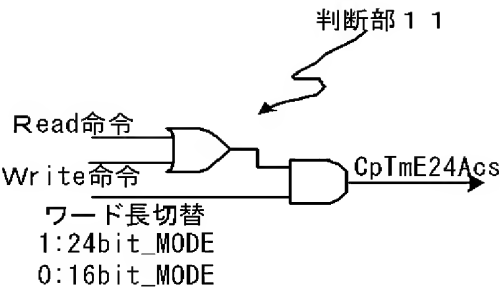
[図1]



[図2]



[図3]



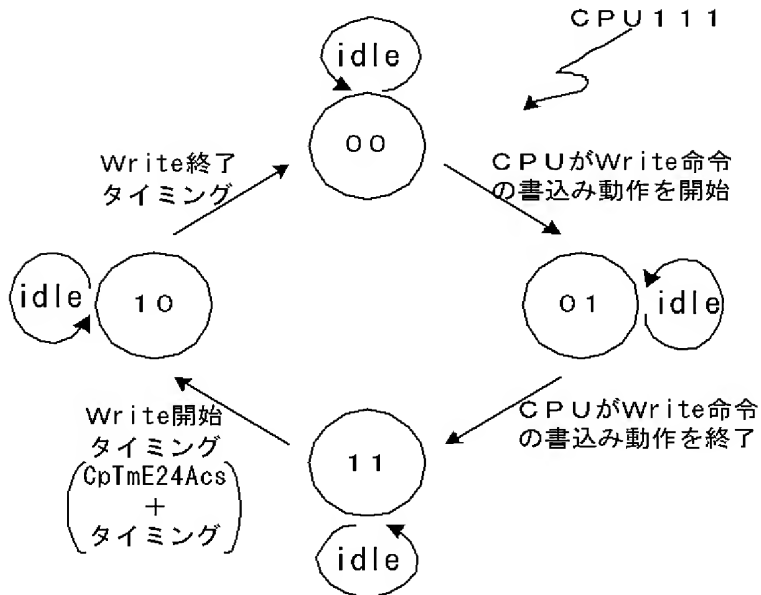
[図4]

CpTmE24Acs		
24bit _MODE (1)	R	1
	W	1
	N	0
16bit _MODE (0)	R	0
	W	0
	N	0

CpTmE24Acs = 0  
CPU 1 1 1 のアクセス可能な状態の時

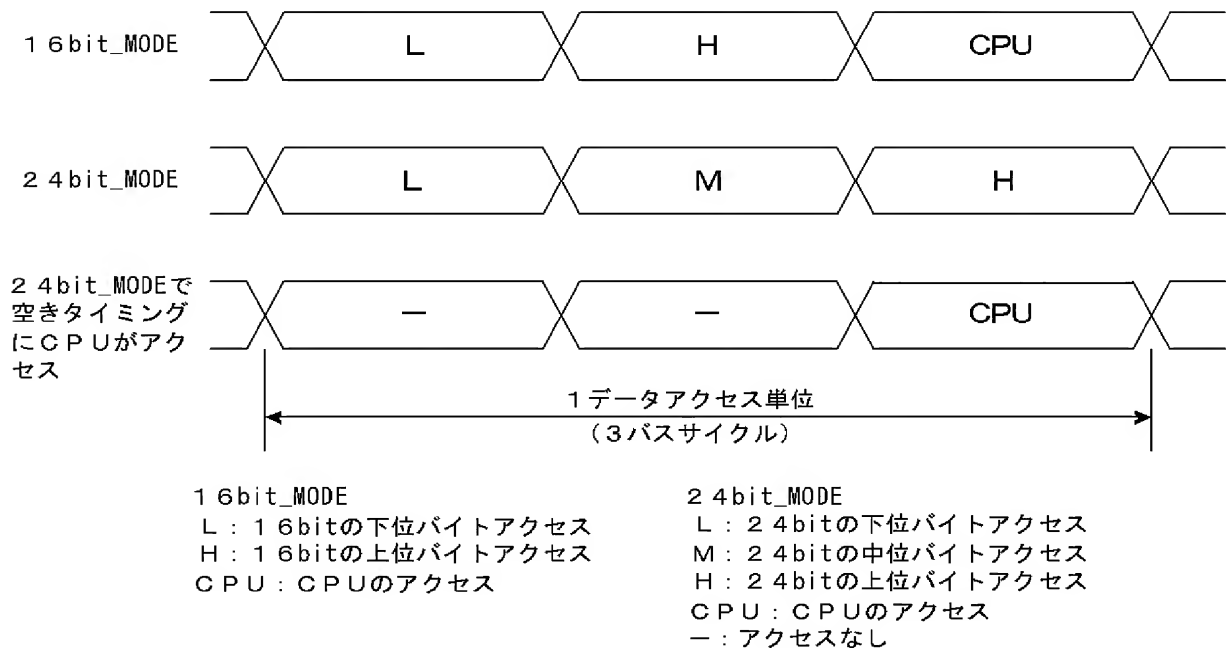
[図5]

CPU111からの外部メモリ102  
アクセスを制御するステートマシン  
(Write時の例)

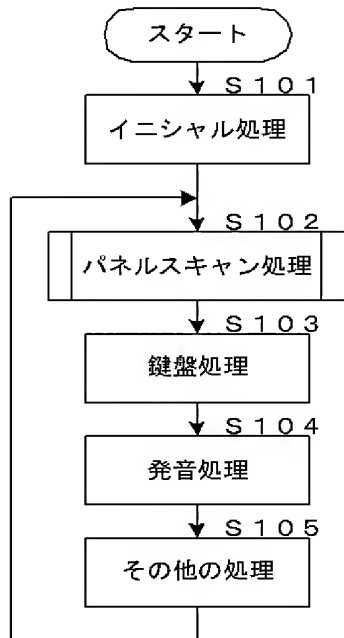


[図6]

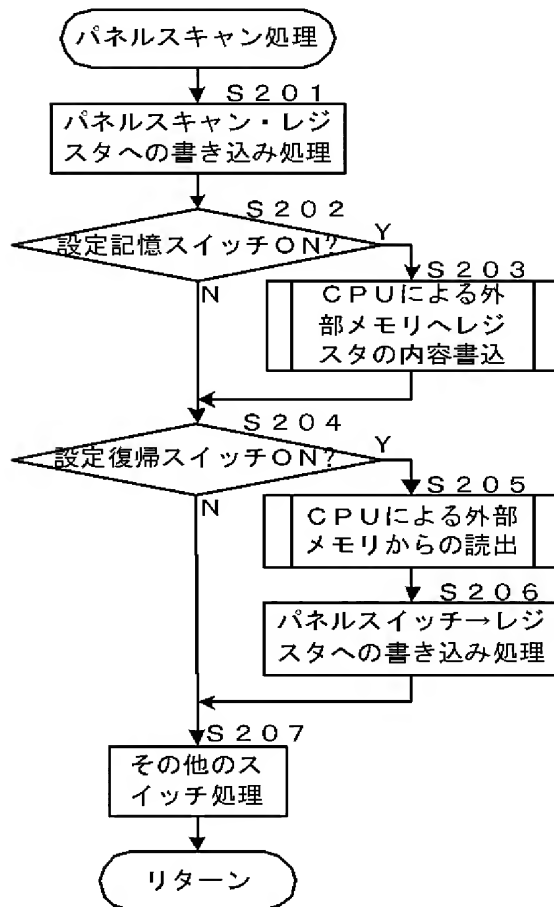
アドレス・データ切替部13のバスサイクル切替



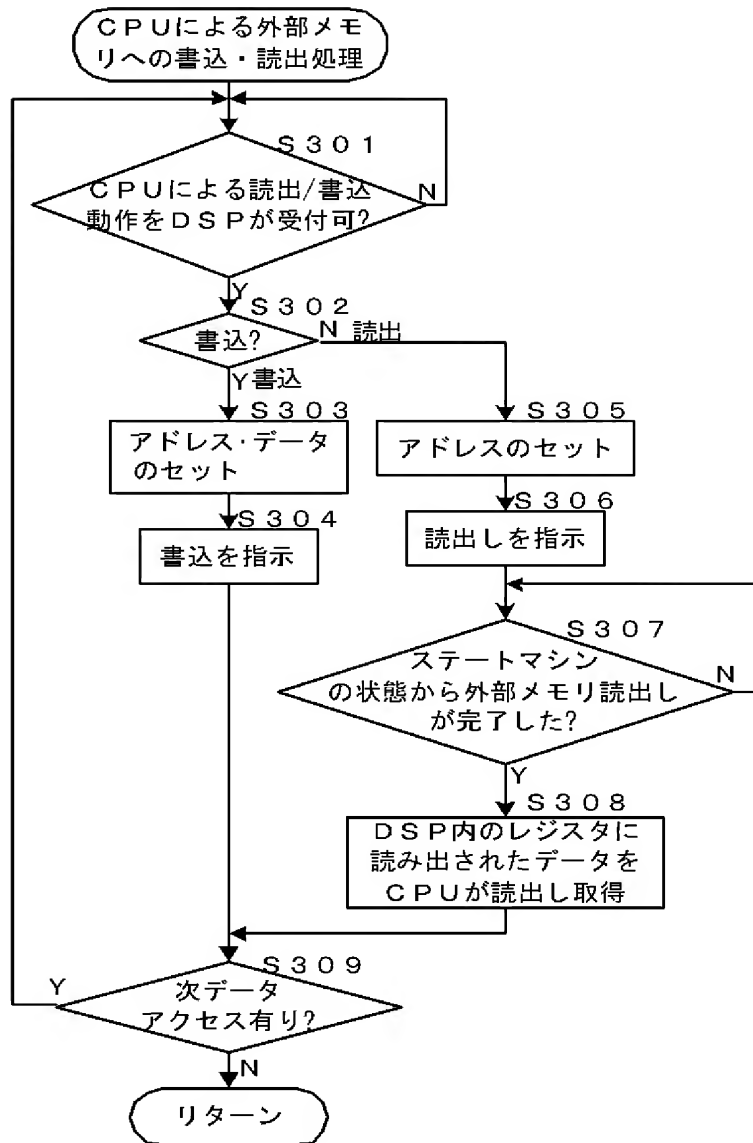
[図7]



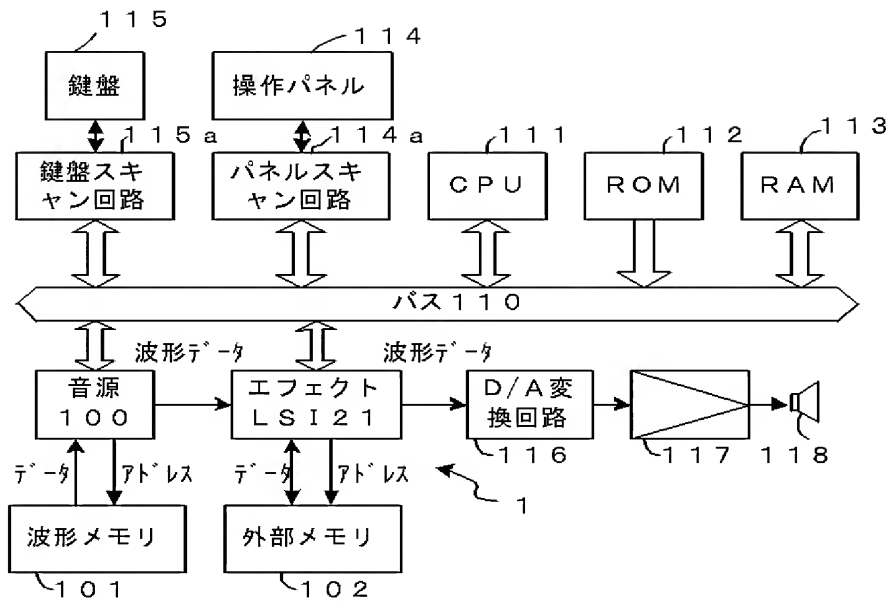
[図8]



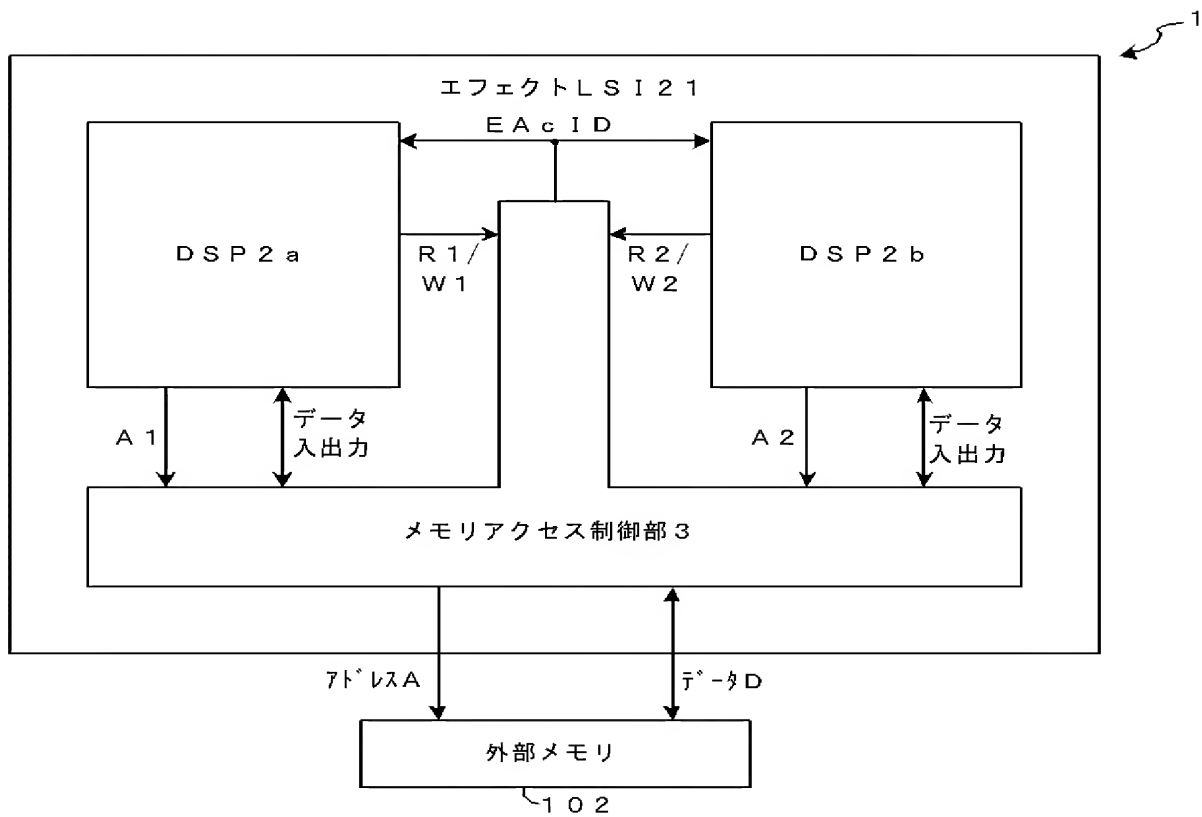
[図9]



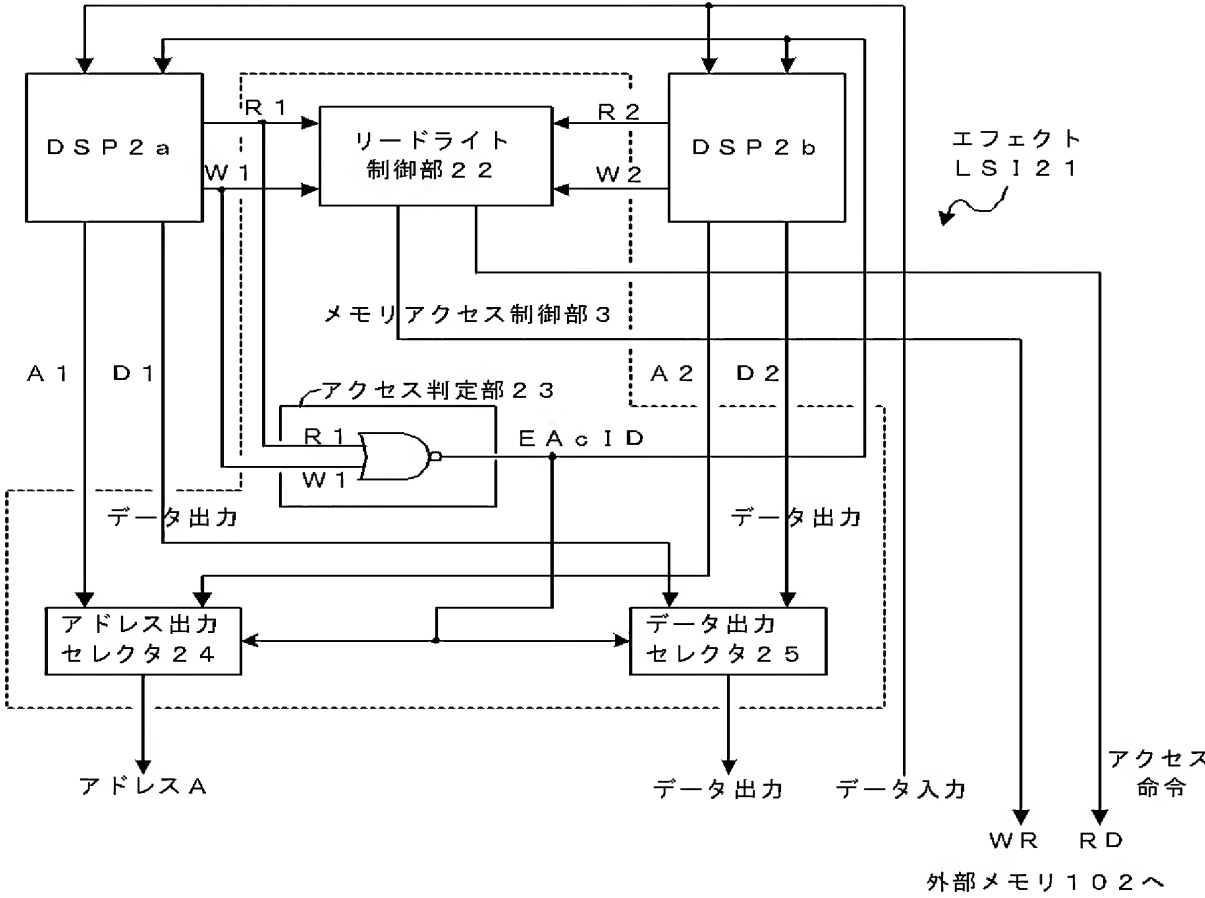
[図10]



[図11]



[図12]



[図13]

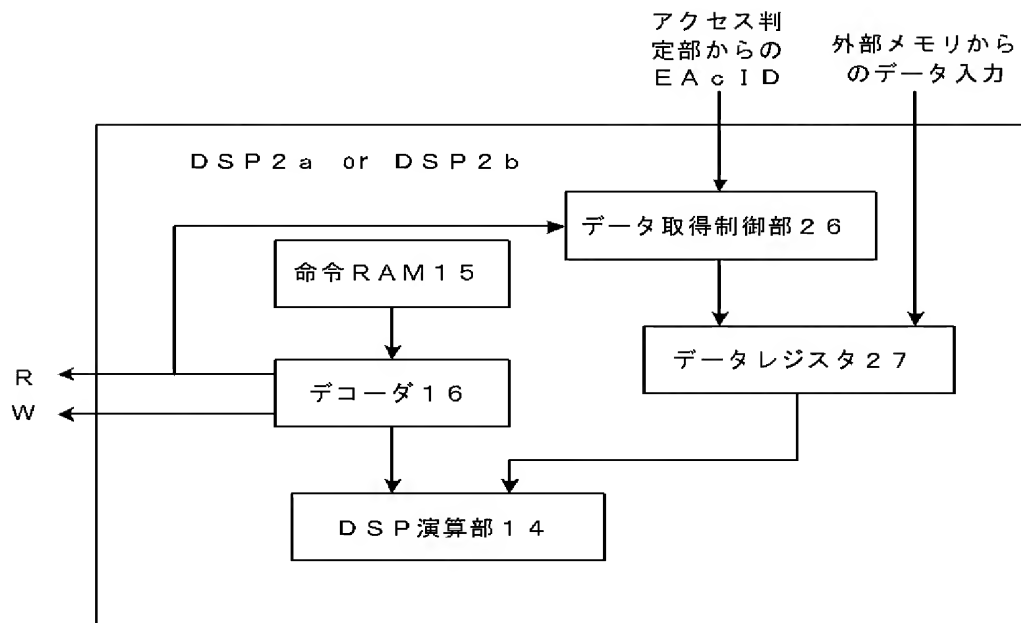
DSP 2 a	DSP 2 b	制御後
R 1	R 2	N
R 1	W 2	N
R 1	N	R 1
W 1	R 2	N
W 1	W 2	N
W 1	N	W 1
N	R 2	R 2
N	W 2	W 2
N	N	N

R:リード  
W:ライト  
N:アクセスなし

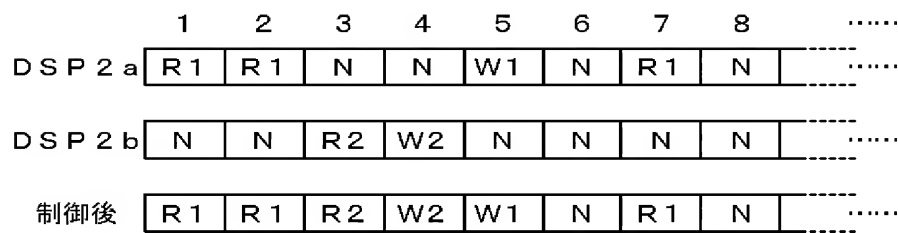
[図14]

R 1	W 1	EA c I D
0	0	1 DSP 2 b
1	0	0 DSP 2 a
0	1	0 DSP 2 a

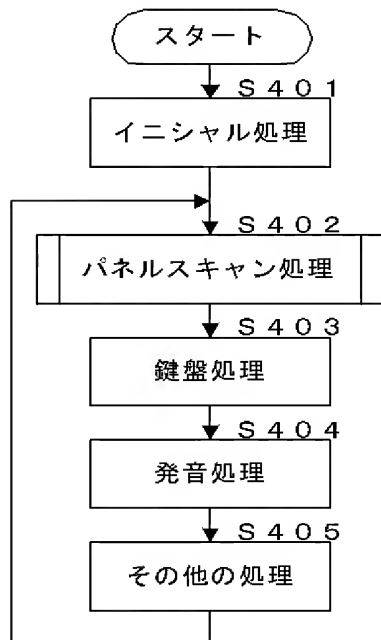
[図15]



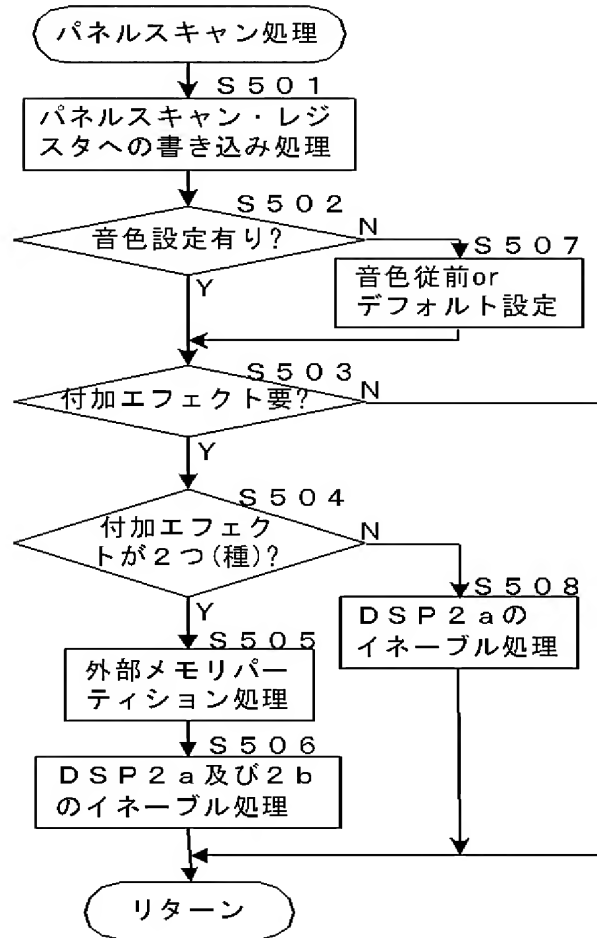
[図16]



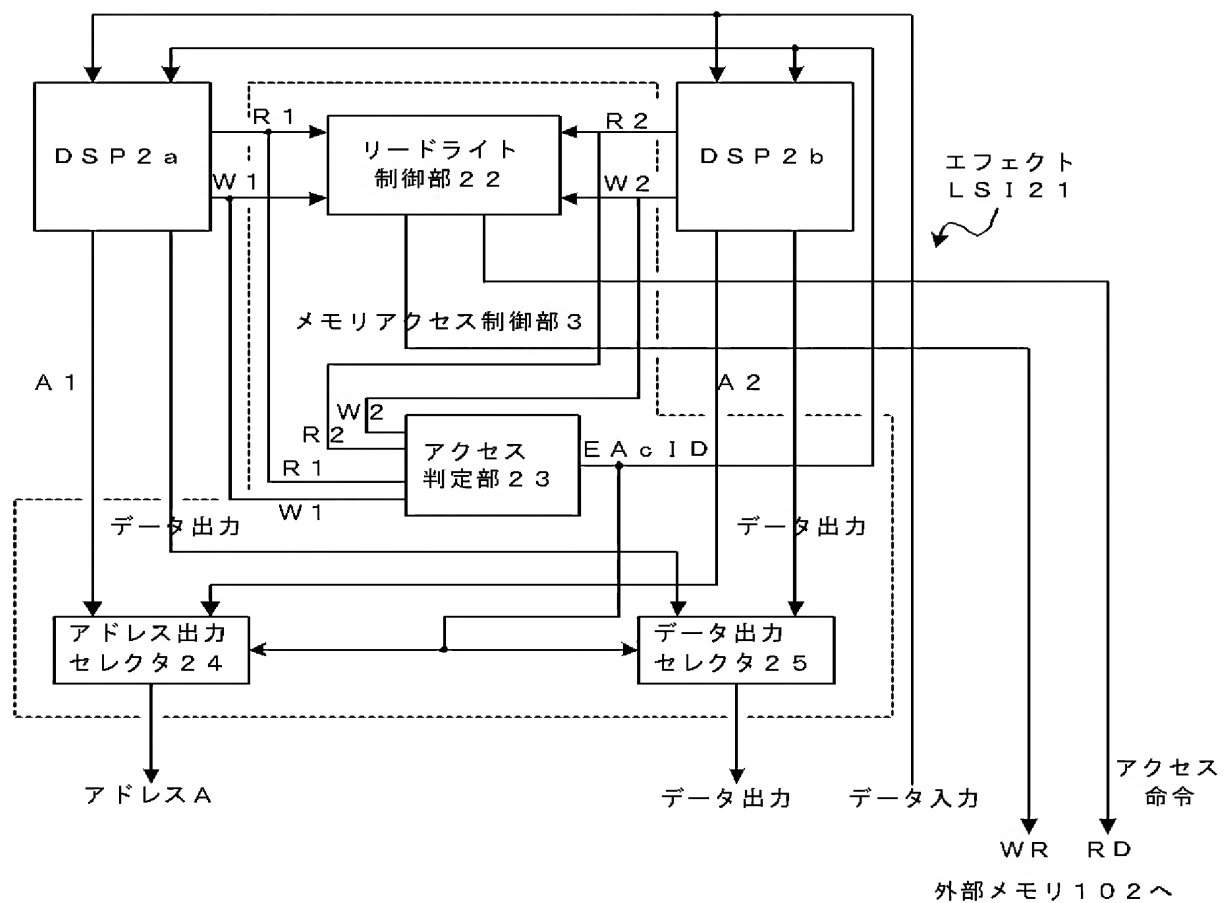
[図17]



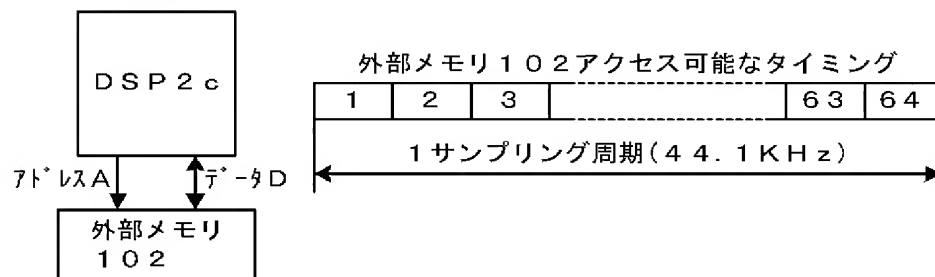
[図18]



[図19]



[図20]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017684

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06F12/00, G10H1/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G06F12/00-12/06, G10H1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-166983 A (Nagoya Denki Kogyo Kabushiki Kaisha), 22 June, 2001 (22.06.01), Par. Nos. [0018] to [0020]; Figs. 1, 2 (Family: none)	3, 5 4, 6
Y A	JP 2001-5789 A (NEC Corp.), 12 January, 2001 (12.01.01), Par. No. [0002]; Fig. 1 (Family: none)	3, 5 4, 6
Y A	JP 2003-281083 A (Sanyo Electric Co., Ltd.), 03 October, 2003 (03.10.03), Par. Nos. [0018] to [0024] (Family: none)	3, 5 4, 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
08 February, 2005 (08.02.05)

Date of mailing of the international search report  
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017684

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

[illegible]

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017684

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1, 2 relates to a data-length-variable DSP which can access data while a CPU access its external memory.

The inventions of claims 3, 4, 5, 6 relate to packaging of a plurality of DSPs and provision of an adjustment circuit for the DSPs to share a single external memory.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G06F12/00, G10H1/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F12/00-12/06, G10H1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-166983 A (名古屋電機工業株式会社) 2001.06.22, 段落【0018】-【0020】, 第1 図、第2図 (ファミリーなし)	3, 5
A		4, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
08.02.2005

国際調査報告の発送日  
08.3.2005

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 丹治 彰	5N	3135
電話番号 03-3581-1101	内線 3545	

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-5789 A (日本電気株式会社) 2001. 01. 12, 段落【0002】, 第1図 (ファミリーなし)	3, 5
A		4, 6
Y	JP 2003-281083 A (三洋電機株式会社) 2003. 10. 03, 段落【0018】 - 【0024】 (ファミリーなし)	3, 5
A		4, 6
A	JP 2-135564 A (ソニー株式会社) 1990. 05. 24, 全文, 第5図、第6図 & US 5111530 A	1, 2
A	JP 11-167517 A (ヤマハ株式会社) 1999. 06. 22, 段落【0002】 - 【0003】 (ファミリーなし)	1, 2
A	JP 5-73046 A (ヤマハ株式会社) 1993. 03. 26, 全文, 全図 & US 5614685 A	1, 2

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1、2に係る発明は、データ長可変のDSPにおいて、そのデータアクセスの合間に、CPUがその外部メモリにアクセスするものである。  
請求の範囲3、4、5、6に係る発明は、複数のDSPをパッケージ化し、これらのDSPが1つの外部メモリを共用するために、調停回路を設けるものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。